

Abstract of Japan publication No. : 61-26324

PURPOSE: To decrease number of clock signals of a slide capacitor circuit by using a PMOS switch and an NMOS switch in mixture.

CONSTITUTION: When a clock signal  $\phi$  is at a high level, NMOS TR switches 50-1 and 60-1 are turned on and PMOS TR switches 50-2, 60-2 are turned off. Thus, a capacitor 2 is charged through the NMOS switches 50-1, 60-1 with an input signal 1. When the signal  $\phi$  goes to a low level, the NMOS switches 50-1, 60-1 are turned off, and the PMOS switches 50-2, 60-2 are turned on. Thus, charge of the capacitor 2 is transferred to a feedback capacitor 3 and an output signal 7 integrating an input signal 1 is obtained.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-26324

⑬ Int. Cl.<sup>4</sup>  
H 03 K 19/00

識別記号

庁内整理番号  
8326-5J

⑭ 公開 昭和61年(1986)2月5日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 スイッチドキャパシタ回路

⑯ 特 願 昭59-146840

⑰ 出 願 昭59(1984)7月17日

⑱ 発 明 者 深 沢 繁 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内

⑲ 発 明 者 松 井 一 征 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 スイッチドキャパシタ回路

特許請求の範囲

キャパシタと上記キャパシタの電極に接続されたスイッチを含むスイッチドキャパシタ回路であつて、互いにオンとオフの状態が反転させられるスイッチとしてNMOSトランジスタとPMOSトランジスタの組合せを用い、前記2種のトランジスタのゲートに同一のクロック信号を加え、前記NMOSトランジスタによるスイッチがオンである状態とその逆の状態に制御できるようにしたことを特徴とするスイッチドキャパシタ回路。

発明の詳細な説明

〔発明の利用分野〕

本発明はスイッチドキャパシタ回路に係り、特に高集積化に好適なスイッチドキャパシタ回路に関する。

〔発明の背景〕

スイッチドキャパシタ回路はキャパシタに一定

の周期で開閉するスイッチを介して電荷を充放電することによつて信号の演算を行う回路であつて、第1図に示すような従来のスイッチドキャパシタ(SC)回路ではスイッチとしては同一極性のスイッチを用いて電荷の転送を制御していた。SC回路の基本的構成要素であるSC積分回路を例に説明する。第2図のタイムチャート図に示すようなクロック信号 $\phi_1$ で、スイッチ5、6のNMOSトランジスタ5-1、6-1をオン状態にして、入力信号1をキャパシタ2に充電し、クロック $\phi_2$ での他のNMOSトランジスタで構成されるスイッチの他のNMOSトランジスタで構成される5-2、6-2をオン状態にして、キャパシタ2の電荷を高利得増幅器4の負極性入力端子と出力端子間の帰還キャパシタ3へ転送し、出力端子7すなわち増幅器4の出力端子に入力信号1を積分した信号を得ていた。この場合、 $\phi_1$ と $\phi_2$ が同時にハイレベル(全てのNMOSトランジスタスイッチがオン状態)となる期間が長ければ、キャパシタ2が短絡されるなどして積分回路として

動作しなくなる。したがって、クロック信号 $\phi_1$ 、 $\phi_2$ を第2図に示すように互いにハイレベルの時間が重ならないような、あるいは、少なくとも $\phi_1$ と $\phi_2$ が互いにハイレベルとローレベルの時間が反転している二つのクロック信号でなければならなかった。そのため第1図のような簡単なSC回路でも2本のクロック配線が必要となり、SC回路を集積化した場合のチップ面積が大きくなっていた。

また、第1図はNMOSトランジスタスイッチを用いているが、PMOSトランジスタスイッチを使つても同様に構成できる。さらに、CMOSトランジスタスイッチを用いる場合には、 $\phi_1$ 、 $\phi_2$ のほかに $\overline{\phi_1}$ 、 $\overline{\phi_2}$  ( $\phi_1$ 、 $\phi_2$ のハイレベルとローレベルを反転させた信号)の信号が必要となる。

このように従来のSC回路は、多くのクロック信号が必要でありそのためLSI化する上でチップ面積の低減や高集積化が難しかった。なおSC回路についてはIEEE Proceeding vol 7 1 No 8

p. 941~966 (August 1983年)におけるR.Gregorian 他2名による"Switched Capacitor Circuit Design"と題する文献において詳しく紹介されている。

#### 〔発明の目的〕

したがって、本発明の目的はクロック信号を供給する手段が簡単で高集積化あるいはチップ面積の低減が容易なSC回路を提供することにある。

#### 〔発明の概要〕

上記の目的を達成するため本発明では、PMOSスイッチとNMOSスイッチを混用することによつて、同一のクロック信号によりクロック信号の遷移時点を除き、一方のスイッチがオンで他方のスイッチがオフである状態と、その逆の状態に制御できるようにして、SC回路のクロック信号の数を減らしている。

#### 〔発明の実施例〕

以下、本発明を実施例より説明する。第3図は本発明によるSC回路の一実施例の回路図で、第1図と同じ回路機能を持つものである。本回路の

構成は入力信号1を蓄える入力キャパシタ2と、正極性入力端子がグラウンドに接続された高利得増幅器4の負極性入力端子と出力端子に接続された帰還キャパシタ3及び高利得増幅器4、入力信号1にドレインが接続され入力キャパシタ2の一方の端子にソースが接続され、クロック信号 $\phi$ にゲートが接続されたNMOSトランジスタスイッチ50-9、グラウンドにドレインが接続されNMOSトランジスタスイッチ50-1のソースにソースが接続され、クロック信号 $\phi$ にゲートが接続されたPMOSトランジスタスイッチ50-2、入力キャパシタ2のもう一方の端子にソースが接続され、帰還キャパシタ3が接続された高利得増幅器4の入力端子にドレインが接続され、クロック信号 $\phi$ にゲートが接続されたPMOSトランジスタスイッチ60-2、PMOSトランジスタスイッチ60-2のソースにドレインが接続され、グラウンドにソースが接続されクロック信号 $\phi$ にゲートが接続されたNMOSトランジスタスイッチ60-1より構成されている。

本回路の動作はクロック信号 $\phi$ がハイレベルとローレベルの2つのケースに分けられる。ハイレベルのときはNMOSトランジスタスイッチ50-1、60-1がオンしており、PMOSトランジスタスイッチ50-2、60-2はオフしている。したがって入力信号1はNMOSトランジスタスイッチ50-1、60-1を通して入力キャパシタ2を充電する。次にクロック信号 $\phi$ がローレベルになると、NMOSトランジスタスイッチ50-1、60-1はオフしPMOSトランジスタスイッチ50-2、60-2がオンする。このため入力キャパシタ2の電荷は帰還キャパシタ3に転送され、入力信号1を積分した出力信号7が得られる。

なお、第3図の実施例をCMOSトランジスタスイッチで構成する場合には、トランジスタ50-1、50-2、60-1、60-2のソースとドレインにそれぞれ反対極性のチャネルのトランジスタを並列接続し、それらのゲートにクロック信号 $\phi$ を反転したクロック信号 $\overline{\phi}$ を与えれば良い。

本実施例によればSC回路のクロック信号を、第1図の従来回路の2本から1本に減らすことができる。本実施例は、簡単なSC回路の例であるが、一般の複雑なSC回路においても、スイッチの数は増えるが互いにオンとオフの状態が反転させられるスイッチの組み合わせとクロック信号の数が増える場合がほとんどである。したがって、このような場合にもスイッチの組合せを本発明により、NMOSトランジスタスイッチをPMOSトランジスタスイッチとすることにより、クロック信号の数を従来の半分程度にすることができる。

なお、上記説明中でも示唆したように本発明の場合、クロック信号の遷移時点では組となつてゐるNMOSトランジスタスイッチとPMOSトランジスタスイッチが、両方ともオンとオフの中間の状態になる。したがって、高精度のSC回路を実現するにはクロック信号の立上り時間と立下り時間が、スイッチのオン抵抗とSC用キャパシタの積（第3図では、たとえばNMOSスイッチ50-1と60-1のオン抵抗の組とキャパシタ

2の積）に対して、十分小さくなるようにしなければならない。実際のSC回路を構成する場合には、SC回路用キャパシタ（たとえば2, 3）を大きくする、スイッチトランジスタ（たとえば50-1, 50-2, 60-1, 60-2）の（チャネル幅/チャネル長）を小さくする、スイッチへの信号配線の抵抗を大きくする（ポリシリコンや拡散層の配線を用いる）、クロック信号（たとえば $\phi$ ）の立上り、立下り時間を小さくする等の配慮が高精度動作を目的とする場合には必要である。

#### 〔発明の効果〕

以上説明したように、本発明によればスイッチドキャパシタ回路のクロック信号の数を減らせるので、クロック配線やドライバの面積を少なくでき、スイッチドキャパシタ回路をLSI化する上でチップ面積の低減あるいは高集積化が可能となる。

#### 図面の簡単な説明

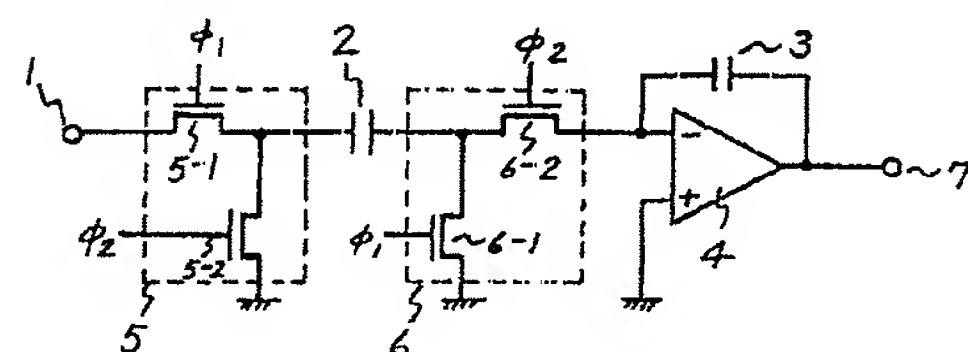
第1図は従来のスイッチドキャパシタ回路の例、

第2図はそのクロック信号、第3図は本発明のスイッチドキャパシタ回路の実施例である。

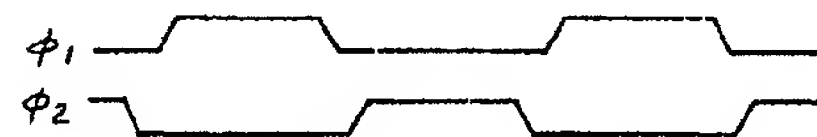
1…入力信号、2…入力キャパシタ、3…帰還キャパシタ、4…高利得増幅器、5, 6…スイッチ、50-1, 60-1…NMOSトランジスタスイッチ、50-2, 60-2…PMOSトランジスタスイッチ。

代理人 弁理士 高橋明夫

第1図



第2図



第3図

